

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-159173

(43)Date of publication of application : 31.05.2002

(51)Int.Cl.

H02M 3/155

(21)Application number : 2000-352406

(71)Applicant : SONY CORP

(22)Date of filing : 20.11.2000

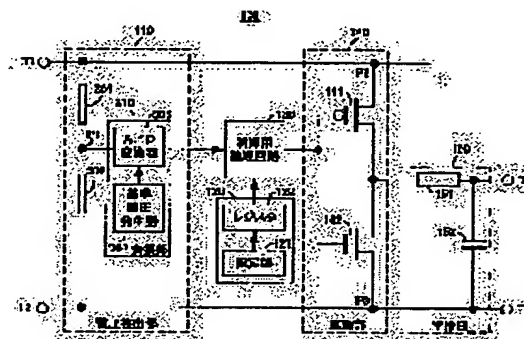
(72)Inventor : YOKOYA SATOSHI

## (54) POWER SOURCE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a power source suitable for reduction in size and having good follow-up properties to a load current change and a good power efficiency to a load current of a wide range.

**SOLUTION:** A voltage change of a DC power source connected to an input end is detected. A signal of a pulse train of a duty cycle in response to its detected result and voltage set data corresponding to a desired output voltage is guided to a switching type drive circuit. The input voltage is intermittently controlled by the signal of the pulse train, and an obtained voltage is smoothed to generate a desired output voltage.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-159173  
(P2002-159173A)

(43) 公開日 平成14年5月31日 (2002.5.31)

(51) Int.Cl.

H02M 3/155

識別記号

F I

H02M 3/155

キーワード(参考)

S 5H730

K

W

審査請求 未請求 請求項の数10 OL (全12頁)

(21) 出願番号 特願2000-352406(P2000-352406)

(22) 出願日 平成12年11月20日 (2000.11.20)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 横矢 智

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100097216

弁理士 泉 和人 (外1名)

Fターム(参考) 5H730 AA04 BB13 BB57 BB81 DD04

EE08 EE10 EE14 FD11 FF06

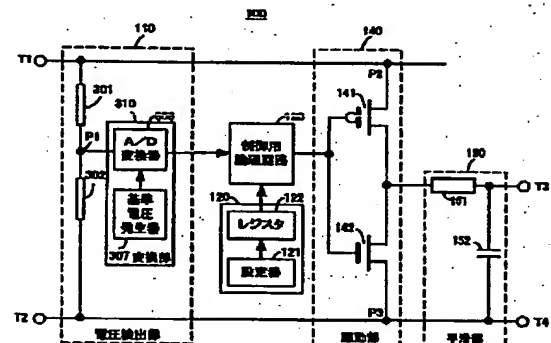
FG05

(54) 【発明の名称】 電源装置

(57) 【要約】

【課題】 負荷電流変化に対する追従性がよく、小型化に適し、広範囲の負荷電流にわたって電力効率のよい電源装置を提供する。

【解決手段】 入力端に接続される直流電源の電圧変化を検出し、その検出結果と、希望する出力電圧に対応する電圧設定データとに応じたデューティ・サイクルのパルス列の信号を、スイッチング型の駆動回路に導く。そして、このパルス列の信号によって、入力電圧を断続制御し、得られた電圧を平滑化して所望の出力電圧を生成する。



## 【特許請求の範囲】

【請求項1】 入力電圧を所定の出力電圧に変換して負荷側へ供給する電源装置において、  
前記入力電圧を監視する監視手段と、  
前記監視結果をもとに第1の信号を出力する第1の信号生成手段と、

前記出力電圧に関連する情報に応じて第2の信号を出力する第2の信号生成手段と、

前記第1および第2の信号に基づく所定のデューティ比を有する第3の信号を生成する第3の信号生成手段と、  
前記第3の信号を駆動信号として、前記入力電圧に対してスイッチング制御を施す手段とを備え、  
前記スイッチング制御後の電圧を平滑化して得た電圧を前記出力電圧とすることを特徴とする電源装置。

【請求項2】 前記第1の信号は、前記入力電圧と所定の参照電圧との比較結果を反映する信号であり、また、  
前記第2の信号は、前記情報としてあらかじめ設定された前記出力電圧の電圧設定情報に対応する信号であることを特徴とする請求項1記載の電源装置。

【請求項3】 前記第3の信号のデューティ比は、前記第2の信号で示される第2の値と前記第1の信号で示される第1の値との比に等しいことを特徴とする請求項2記載の電源装置。

【請求項4】 前記第3の信号は、前記第2の値を所定周期のクロック信号に従ってカウントダウンするのに要する時間幅だけ所定の電圧状態を維持し、前記クロック信号に従って前記第1の値をカウントダウンした時間幅で決まる繰り返し周期を有する、パルス幅変調(PWM)波形を持った信号であることを特徴とする請求項3記載の電源装置。

【請求項5】 さらに、前記負荷の動作状態に従って、前記スイッチング制御をオン/オフ制御する手段を備えることを特徴とする請求項1あるいは4のいずれかに記載の電源装置。

【請求項6】 さらに、前記動作状態に対応する所定の値を格納するステート・レジスタを備え、前記オン/オフ制御は、この格納された値をもとに前記クロック信号を切替え、あるいは間引いて実行されることを特徴とする請求項5記載の電源装置。

【請求項7】 前記ステート・レジスタは、前記負荷の動作パターンを格納することを特徴とする請求項6記載の電源装置。

【請求項8】 前記スイッチング制御を施す手段は、チャネルタイプの異なる電界効果トランジスタ(FET)を従属接続した構成を有することを特徴とする請求項6記載の電源装置。

【請求項9】 請求項1あるいは4のいずれかに記載の電源装置を複数個、並列に接続し、それらの電源装置の内、第1の電源装置の監視手段および第1の信号生成手段をこれら並列接続した全ての電源装置で共有する構成

を備えることを特徴とする電源装置。

【請求項10】 前記並列接続した電源装置の数は、負荷に供給される出力電圧の数に等しいことを特徴とする請求項9記載の電源装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、入力電圧を制御して所定の直流出力電圧を発生し、供給する電源装置に関するものである。

## 【0002】

【従来の技術】従来より、例えば、入力端と負荷の間にトランジスタ等からなる電圧降下制御素子を設け、その素子での電圧降下量を制御して所望の出力電圧を得るドロップ方式(直列制御型)の電源回路と、入力電圧をON/OFF制御して、直流入力出力側へ伝達される時間幅を制御し、得られた電圧を平滑化することで所望の出力電圧を得るスイッチング型の電源回路が知られている。これらの電源回路では、一般的に出力電圧を監視して、それを負帰還するフィードバック制御が用いられている。

【0003】また、近年では、携帯電話機やPDA(Personal Digital Assistance)等の携帯型端末装置が普及し、それに伴って、装置の小型化や処理の高速化の必要性が高まっている。これらの装置には、通常、複数の電源回路が必要であり、装置の小型化という観点からは、集積回路化(IC化)による小型化が容易な、電圧ドロップ型の安定化電源回路が主に使用されている。

【0004】一方、処理の高速化については、これらの装置に搭載されたCPUやDSP(Digital Signal Processor)の高速化が進むとともに、そのための集積回路部への印加電圧(動作電圧)が低電圧化しているという傾向にある。例えば、1V以下の電圧で動作する装置も見られるようになった。

【0005】上述した低動作電圧を電圧ドロップ型の電源回路により生成し、供給しようとする、例えば、電圧源としての電池の出力電圧との関係から、電圧制御素子における電力損失が増大し、電力効率が著しく低下するとともに、電源回路を含む集積回路における発熱量が増大する。そのため、電圧ドロップ型の電源回路(装置)に代えて、効率の良いスイッチング方式をとる電源回路(装置)が望まれている。

## 【0006】

【発明が解決しようとする課題】しかしながら、従来のスイッチング型の電源は、フィードバック制御の追従性が不十分なために、急激な負荷電流の増大が生じた場合に出力電圧不足になるという問題がある。例えば、負荷としてのCPUが、いわゆるスリープ状態からアクティブ状態になる時に急激な負荷電流の増大が発生し、電源がそれに追従できずに出力電圧不足になる。これを防止するため、出力段に大型のコンデンサを用いるのでは、

電源の小型化という、望まれる方向に反することになる。

【0007】また、従来のスイッチング型の電源回路には、整流用のダイオード等が不可欠で、IC化による小型化が容易にできないという問題がある。さらには、大電流領域で電力効率を高くできても、小電流領域（例えば、負荷のIC等がスリープ状態にあり、負荷電流がマイクロ・アンペア程度のとき）では、電力効率を高くできないという問題もある。

【0008】本発明は、上述の課題に鑑みてなされたもので、その目的とするところは、負荷電流の変化に対する追従性がよく、小型化に適し、しかも、広範囲の負荷電流に渡って電力効率の良い電源装置を提供することである。

【0009】また、本発明の他の目的は、簡単な構成で複数の電圧が得られ、特に携帯電話機やPDA等への搭載に適した、低電力損失の電源装置を提供することである。

【0010】

【課題を解決するための手段および作用】上記の目的を達成するため、本発明は、入力電圧を所定の出力電圧に変換して負荷側へ供給する電源装置において、上記入力電圧を監視する監視手段と、上記監視結果をもとに第1の信号を出力する第1の信号生成手段と、上記出力電圧に関連する情報に応じて第2の信号を出力する第2の信号生成手段と、上記第1および第2の信号に基づく所定のデューティ比を有する第3の信号を生成する第3の信号生成手段と、上記第3の信号を駆動信号として、上記入力電圧に対してスイッチング制御を施す手段とを備え、上記スイッチング制御後の電圧を平滑化して得た電圧を上記出力電圧とする電源装置を提供する。

【0011】かかる構成が、急激な出力電流の変化に追従でき、瞬間的に電圧不足に陥ることのない安定した電源を供給するよう機能する。

【0012】好ましくは、上記第1の信号は、上記入力電圧と所定の参照電圧との比較結果を反映する信号であり、上記第2の信号は、上記情報としてあらかじめ設定された上記出力電圧の電圧設定情報に対応する信号である。また、好適には、上記第3の信号のデューティ比は、上記第2の信号で示される第2の値と上記第1の信号で示される第1の値との比に等しい。

【0013】また、他の発明は、入力電圧を監視する監視手段と、上記監視結果をもとに第1の信号を出力する第1の信号生成手段と、上記出力電圧に関連する情報に応じて第2の信号を出力する第2の信号生成手段と、上記第1および第2の信号に基づく所定のデューティ比を有する第3の信号を生成する第3の信号生成手段と、上記第3の信号を駆動信号として、上記入力電圧に対してスイッチング制御を施す手段とを備えた電源装置を複数個、並列に接続し、それらの電源装置の内、第1の電源

装置の監視手段および第1の信号生成手段をこれら並列接続した全ての電源装置で共有する構成を備える電源装置を提供する。

【0014】このような構成が、電源装置の小型化を可能とし、各電源回路から異なる複数の出力電圧を容易に取り出せるよう機能する。

【0015】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施の形態について詳細に説明する。

【0016】＜実施の形態1＞図1は、本発明の実施の形態1に係る電源装置の主要部の構成を示すブロック図である。同図に示すように、本電源装置100は、電圧検出部110、電圧設定部120、制御用論理回路130、駆動部140、平滑部150によって構成される。これらの内、電圧検出部110の入力端T1、T2には、後述するように、電池等の直流電源が接続される。また、平滑部150の出力端T3、T4には、例えば、アナログ回路やディジタル回路等からなる負荷が接続される。

【0017】上記の電圧検出部110は、その入力端T1、T2に印加された電圧（例えば、装置に搭載された、ニッカド等の蓄電池の出力電圧）を監視するため、抵抗301、302で分割して得た電圧値P1を変換部310へ入力する。変換部310のA/D変換器306は、入力された電圧P1と基準電圧発生器307からの電圧とに応じて所定の信号を生成し、その信号を制御用論理回路130へ出力する。

【0018】電圧設定部120は、本電源装置の出力端T3、T4より所望の電圧を出力するため、電圧値の設定等を行う設定器121とレジスタ122を有している。また、制御用論理回路130は、このように電圧設定部120に設定された電圧値に対応する信号と、上記の電圧検出部110からの信号とに応じたデューティ・サイクルを有するパルス列信号を、制御用パルス信号として発生し、それを駆動部140へ出力する。

【0019】駆動部140は、例えば、電界効果トランジスタ(FET)等のスイッチング素子141、142からなり、それらが、制御用論理回路130からの制御信号によって駆動されて、端子P2、P3間に印加された直流電圧をスイッチングする。そして、スイッチング後の信号は、平滑部150へ入力され、平滑コイル（出力インダクタ）151と出力コンデンサ152で平滑化して得た電圧が、出力端T3、T4より、不図示の負荷に対して安定な電圧として供給される。

【0020】ここで、図2を参照して、本発明に係る電源装置の動作原理について簡単に説明する。図2の(a)に示すように、本電源装置100の入力端T1、T2に接続される直流電源201は、等価的に、直流電圧源202、出力抵抗（内部抵抗）203、およびコンデンサ204を直並列接続した回路で表わすことができ

る。具体的には、直流電圧源202と出力抵抗203は直列接続され、これらとコンデンサ204が並列接続された形式で表される。

【0021】今、本電源装置100の出力端T3、T4に接続された負荷210が、例えば、待機状態からアクティブ状態に変わり、その負荷変動によって、図2の(b)に示すように、時刻T1において、負荷電流I<sub>o</sub>がI<sub>o1</sub>からI<sub>o2</sub>へ急激に変化したとする。この場合、負荷電流の時間的な変化は、図2の(b)において曲線221で示すようになる。

【0022】一方、直流電圧源201側では、この電流変化に追随するために、その出力電流I<sub>i</sub>が増大し、それに伴って、等価内部抵抗203による電圧降下が生ずる。そのときの様子を、図2の(c)の曲線231に示す。すなわち、負荷電流がI<sub>o1</sub>からI<sub>o2</sub>へ変化することで、直流電圧V<sub>i</sub>がV<sub>i1</sub>からV<sub>i2</sub>へ降下する。

【0023】そこで、本電源装置100の内部回路(詳細は、後述する)は、直流電圧源201の電圧V<sub>i</sub>を監視し、それをもとに負荷電流I<sub>o</sub>の変化を検知して、出力

$$V_{ad} = V_i \times R_2 / (R_1 + R_2) \quad \dots (1)$$

で表される。そして、変換部310は、入力された電圧V<sub>ad</sub>に応じた値を有するデジタル信号を出力する。なお、そのための具体的な回路構成等については、後述する。

【0026】このように、変換部310は、入力されたアナログ電圧V<sub>ad</sub>をアナログ/デジタル変換(A/D変換)するとともに、その内部に所定の定数を情報と

$$AA = FF \times (V_{ad} / V_r) \quad \dots (2)$$

で示されるデジタル信号を出力する。ここで、FFは定数であり、例えば、256ビットで表される最大値をとる。そして、AA値を有するデジタル信号は、制御用論理回路130へ入力される。

【0028】一方、設定器121とレジスタ122とで構成される電圧設定部120には、本電源装置の負荷への出力電圧V<sub>o</sub>とした場合、その電圧V<sub>o</sub>に関連する情報(電圧設定データ)が、設定器121を使用して設定

$$Dt = XX / AA \quad \dots (3)$$

で表されるデューティ・サイクルのパルス列(パルス幅変調(PWM)された波形を有する信号)を発生する。

$$Dt = V_o / V_i \quad \dots (4)$$

の関係となるように調整されている。そのためには、XX値は、AA値以下で、かつ、 $XX = AA \times V_o / V_i$ の条件を満たす必要がある。

$$V_o = V_i \times Dt = V_i \times (XX / AA) \quad \dots (5)$$

となり、式(5)に、上記の式(1)、(2)を代入すると、V<sub>o</sub>は、

$$V_o = XX \times (R_1 + R_2) \times V_r / (FF \times R_2) \quad \dots (6)$$

で表される。

【0032】このようにして得られた式(6)によれば、出力電圧V<sub>o</sub>は、定数であるV<sub>r</sub>、R<sub>1</sub>、R<sub>2</sub>、FFと、設定電圧に関連するレジスタ値XXのみで決まる

電圧V<sub>o</sub>を所定値に維持する、フィードフォワード制御を行う。その結果、本電源装置は、負荷電流I<sub>o</sub>変化に対して追随性の良好な電源となり、図2(c)に直線232で示すように、その出力電圧V<sub>o</sub>は、負荷電流I<sub>o</sub>の変化とは無関係に一定となる。

【0024】以下、本電源装置について、上記の各構成部分を含めた動作を説明する。電圧検出部110は、上述のように、抵抗301、302、および変換部310からなり、変換部310は、さらに、A/D変換器306と基準電圧発生器307で構成される。抵抗301、302は直列に接続され、それらの両端が、図1に示すように、入力端T1、T2に接続されている。その結果、これらの抵抗301、302の接続点P1には、その抵抗分割比によって分圧された電圧が現れ、その電圧が変換部310へ入力される。

【0025】ここで、端子T1、T2間に印加される電圧をV<sub>i</sub>、抵抗301、302の抵抗値を各々R<sub>1</sub>、R<sub>2</sub>とすると、変換部310へ入力される電圧V<sub>ad</sub>は、

$$\dots (1)$$

して保持し、上記のようにデジタル変換された信号に、この定数値を乗ずる演算を行って、AA値を出力する。そのため、変換部310は、図1に示すように、A/D変換器306と基準電圧発生器307を有する。

【0027】すなわち、A/D変換器306は、上記の電圧V<sub>ad</sub>と基準電圧発生器307で発生した基準電圧V<sub>r</sub>とから、

$$\dots (2)$$

され、設定後の値は、レジスタ122内に格納される。レジスタ122は、設定された値をデジタル・データとして保持する。そして、レジスタ122は、保持したデジタル・データを、XX値として、所定のクロック・レートで制御用論理回路130へ出力する。

【0029】制御用論理回路130は、変換部310からの出力(AA値)と、電圧設定部120からの出力(XX値)とから、例えば、

$$\dots (3)$$

【0030】なお、ここでは、AA値、およびXX値は、デューティ・サイクルDtが、

$$\dots (4)$$

【0031】図1に示す電源装置によれば、その平滑部150の出力には、PWM波形の平均値が出力(V<sub>o</sub>)される。よって、上記の式(3)、(4)から、

$$\dots (5)$$

一定値となる。つまり、本電源装置の出力電圧V<sub>o</sub>は、入力電圧に関係しない安定な値となることが分かる。

【0033】図3は、本実施の形態1に係る電源装置の詳細な回路構成を示すブロック図である。また、図4

は、図3に示す回路の主要部分における信号波形を示すタイミングチャートである。図3に示すA/D変換器306のVin端子には、図1を参照して説明したように、入力電圧（例えば、電池(BTT)201の電圧)を抵抗301、302で分割した電圧値P1（すなわち、上述した電圧Vad）が入力され、同時に、基準電圧入力端子Vrefには、基準電圧発生器307で生成された電圧が印加されている。

【0034】A/D変換器306は、上記の基準電圧に対する入力電圧Vadを常時、監視し、その結果に応じた値を、8ビットのデジタル信号B<sub>1</sub>～B<sub>8</sub>に変換して出力する。そして、この信号は、上述したAA値として、次段のカウンタ(CNT1)351の入力端子A～Hへ入力される。

【0035】一方、不図示の制御部による制御のもと、設定器121で設定された電圧設定データは、レジスタ122の入力端子A～Hへ入力される。このデータは、本電源装置から所望の出力電圧を得るための設定データであり、XX値として、レジスタ122の出力端子Q<sub>1</sub>～Q<sub>8</sub>より、次段のカウンタ(CNT2)352の入力端子A～Hへ入力される。

【0036】カウンタ(CNT1)351、およびカウンタ(CNT2)352は、プリセッタブル・ダウンカウンタであり、カウンタ351には、A/D変換器306からの出力AAが、また、カウンタ352へは、レジスタ122からの電圧設定データXXが、それぞれ、カウンタ351のタイムアウトに同期してプリセットされる。

【0037】すなわち、図4において、波形“CNT1”に示すように、カウンタ(CNT1)351のカウント値が0になり、それに伴って、フリップ・フロップ(FF1)354の出力Bが論理0になると、次のクロックCKの立ち上がり同期して、FF2(355)のQ出力が論理0になる（このとき、Qの反転出力は、言うまでもなく論理1である）。そのため、一方の端子にクロックCKが入力され、他の端子にFF2からの反転出力を受けたAND回路371の出力は、図4の波形Dに示すように、論理0から論理1へ推移する。

【0038】AND回路371の出力端は、カウンタ(CNT1)351とカウンタ(CNT2)352のLoad端子に接続されているので、これらのカウンタでは、上述したAND回路371の出力パルスの立ち上がり同期して、上記AA、XX値のプリセットが行われる（図4の波形“CNT1”、“CNT2”を参照）。

【0039】上記プリセットの後、カウンタ(CNT1)351、カウンタ(CNT2)352ともに、入力されるクロックに従って、設定された値（プリセット値）がダウンカウントされる。そして、カウント値が0になると、それぞれのカウンタの出力端（B<sub>1</sub>～B<sub>8</sub>）に接続された、8入力のNOR回路353、363の出力

が論理1になる。

【0040】このように、NOR回路353、363の出力が論理1になると、FF354、364がリセットされ、カウンタでのカウント動作も停止する。通常、上述したデューティ・サイクルD<sub>t</sub>は、D<sub>t</sub><1であるから、上記の式(3)より、通常の動作状態において、 $XX < AA$ である。よって、図4に示すように、カウンタ(CNT2)352の方が、カウンタ(CNT1)351よりも早く、カウントを停止する。

【0041】上述したように、本電源装置は、カウンタ(CNT1)351のタイムアウトに同期して、カウンタ(CNT1)351とカウンタ(CNT2)352へのプリセットが行われ、そのカウント値が0になると、次のクロックで、再度、プリセットを行う動作を繰り返す。そのため、カウンタ(CNT1)351でのカウント周期は、AAに比例した長さとなり、また、カウンタ(CNT2)352におけるカウント周期は、XXに比例した長さとなる。

【0042】ここで、図3のE点における波形（図4の波形Eを参照）に着目すると、カウンタ(CNT2)352が、設定された値XXをカウントダウンしている期間、E点の波形は、論理1になっている。そして、カウントダウン終了後に論理0になり、上述したAND回路371の出力パルスの立ち上がり同期して、再び論理1になる。つまり、E点の波形は、その繰り返し周期がAA値で決まり、そのデューティは、 $XX/AA$ である。

【0043】そこで、本電源装置では、E点の波形をPWM波形として、バッファ370を介して、スイッチング素子141、142へ導き、これらの素子の駆動信号として使用している。なお、これらのスイッチング素子は、チャネルタイプの異なる2個のMOS-FET（電界効果トランジスタ）であり、例えば、MOS-FET141がpチャネルMOS、MOS-FET142がnチャネルMOSである。

【0044】図3に示すように、MOS-FET141、142は、それらのゲートが相互に接続され、その接続点に、バッファ370より駆動用のパルスが供給されている。また、MOS-FET141のソースが、電源供給源である電池201の+端子に直結され、MOS-FET142のソース側が、本電源回路のグランド側（電池201の-端子）に結合される構成をとっている。そして、MOS-FET141、142のドレイン相互の接続点に、出力インダクタ151に接続されている。

【0045】図5は、バッファ370を介して2つのMOS-FETへ供給される駆動波形（ゲートに印加される波形）、およびFETに流れる電流の波形を示している。図5の(a)は、MOS-FETのゲートに印加されるパルス列の信号波形を模式的に示しており、上述し

たデューティ比 $XX/AA$ で、ON/OFFを繰り返す波形を有している。そして、各々のMOS-FETは、一方がON状態にあるとき、他方がOFF状態となる。

【0046】すなわち、ゲートに論理1のパルスが印加されると、MOS-FET142がON、MOS-FET141がOFFとなり、ゲート電圧が論理0の場合、その逆の状態になる。図5の(b)は、MOS-FET141を流れる電流 $i_1$ を示しており、また、MOS-FET142には、同図の(c)示す電流 $i_2$ が流れる。

【0047】このように2つのMOS-FET141、142がスイッチング動作することにより、T1、T2間に印加された電圧 $V_i$ は、制御用論理回路130から出力されるパルス列のデューティ比を持ったパルス波形の電圧として、平滑部150に入力される。なお、平滑部150は、出力インダクタ151とコンデンサ152で構成され、MOS-FET142は、MOS-FET141がOFFのとき、インダクタ151に蓄積されたエネルギーを放出する働きをする。

【0048】また、本電源装置の負荷としてのデバイス、例えば、集積回路(IC)がスリープ状態になる等、負荷電流が減少になった場合、コンデンサ152に蓄積された電荷を放電しなければ、負荷電圧が徐々に上昇することになる。MOS-FET142は、放電ループを形成して、その電圧上昇を抑える働きもする。

【0049】以上説明したように、本実施の形態1によれば、負荷電流の変化による直流供給源の電圧変動を常時、監視して得られる結果と、所望の電源電圧を出力するために、あらかじめ設定した電圧設定データとを比較し、その結果をもとに駆動素子のスイッチング波形のデューティ比を可変するフィードフォワード制御を行うことで、フィードバック制御方式を採用する従前のスイッチング電源に比べて、急激な出力電流の変化に追従でき、瞬間的に電圧不足に陥ることのない安定した電源を供給することができる。

【0050】また、急激な出力電流の変化に対応するための大容量のコンデンサが不要になり、しかも、電源装置の出力段に配されたスイッチング素子をMOS-FETのみで構成して、整流ダイオード等を排除しているため、回路の集積化(IC化)に好都合となり、結果として、電源装置の小型化が容易になる。

【0051】さらに、CMOSを用いてON抵抗の低いスイッチング型の電源構成としたことで、マイクロ・アンペア・オーダーから数百ミリ・アンペア・オーダーまでの広範囲の負荷電流に渡り、電力損失を抑えとともに、電力効率の良い電源を実現できる。

【0052】＜実施の形態2＞以下、本発明の実施の形態2について説明する。図6は、本実施の形態2に係る電源装置の構成を示しており、同図に示す電源装置は、複数の出力電圧が必要とされる場合に対応できる電源で

ある。なお、図6において、図1に示す、上記実施の形態1に係る電源装置と同様の構成要素には同一符号を付して、ここでは、それらの動作等の説明を省略する。

【0053】図6に示すように、本電源装置は、異なる複数の出力電圧(同図では、出力1、2等)を得るために、複数の電源回路を並列に接続した構成を有する。すなわち、電源回路A601は、所定の出力電圧(出力1)を得るために、上記実施の形態1に係る電源装置(図1参照)と同じ構成を有しており、その回路に並列に、出力2を得るための電源回路B602が接続されている。以下、同様に、同一構成の他の電源回路が並列接続される。

【0054】ここで特徴的なことは、電源回路A601内に配した、電池(端子T1、T2に接続される)の出力電圧を監視するためのA/D変換器306と、基準電圧発生器307が、各電源回路によって共有されていることである。従って、A/D変換器306の出力は、電源回路A601の制御用論理回路130aや、電源回路B602の制御用論理回路130b等へ同時に供給される。

【0055】その一方、異なる複数の出力電圧を得るため、各々の電源回路には、個々に設定された電圧値等を格納するレジスタ122a、122bが配され、また、個別の制御用論理回路130a、130bやスイッチング素子141a、142a、141b、142b等を備えることで、各電源回路から、あらかじめ設定されたデータをもとに、所望の出力1、2…が得られるようになっている。

【0056】すなわち、本電源装置は、各レジスタ122a、122bに、異なる電圧設定データを設定することで、各電源回路から、それぞれ異なる所望の出力電圧を得ることができる。逆に言えば、レジスタに同じデータを設定した場合、同一電圧を出力する複数の電源回路が構成されることになる。

【0057】以上説明したように、本実施の形態2によれば、複数の出力電圧が必要とされる場合、各出力電圧に対応した電源回路を並列に接続し、その電源回路の1つに、各回路共通の1の入力電圧検出部を設けるとともに、電圧設定データを格納するレジスタについては、各回路に個別に配する構成をとることで、構成部分の重複を回避して小型化した電源装置が構成でき、各回路から異なる複数の出力電圧を容易に取り出すことができる。

【0058】＜実施の形態3＞以下、本発明の実施の形態3について説明する。本実施の形態3に係る電源装置は、負荷となる装置が、いわゆるスリープ機能を備えている場合に対応できるように構成されている。例えば、携帯電話機等には、その使用状態に応じて、マイクロプロセッサの動作をスリープ・モードあるいはアクティブ・モードにして、間欠動作させるものがある。

【0059】上記の間欠動作を具体的に説明する。例え



ば、移動機としての携帯電話機が待ち受け時にあるとき、基地局からは、あらかじめ決められた時間間隔でメッセージが送られてくる。そこで、携帯電話機側に、基地局と同期して動作するタイマを設けて、不要な時間帯にはマイクロプロセッサや電話機そのものをスリープ状態にし、メッセージが送られてくる直前に、電話機等をアクティブ状態に復帰させている。

【0060】このような間欠動作によって、携帯電話機での消費電力を大幅に低下できるが、マイクロプロセッサ等がスリープ・モードに入って、そのプロセッサを含む、電話機の回路における消費電流がマイクロ・アンペア単位に低下したときには、状況が変わってくる。すなわち、通常のスイッチング電源では、そのスイッチングによる無効電力のため、低消費電流時に、高い電力変換効率を維持することができないという問題がある。

【0061】そこで、本実施の形態3は、低消費電流状態に直結するスリープ機能を備えた装置が負荷となったときにも対応できる電源装置を開示する。図7は、本実施の形態3に係る電源装置の詳細な回路構成を示すブロック図である。同図に示す回路構成の内、破線で囲んだ論理回路部700、750以外の部分は、図1に示す、上記実施の形態1に係る電源装置と同じである。

【0062】図7の論理回路部700において、クロックCK2は、本電源装置における間欠動作の間隔を決めるクロックであり、通常、数ミリ秒から数百ミリ秒の周期を持つ信号である。ここでは、電源装置が、この間隔で定期的に間欠動作するように設計されている。なお、図中、“GCK”と記された端子からは、後述する間欠クロックが入力される。

【0063】最初に、スタンバイ信号STBYが論理0（上記のスリープ・モードに対応する）であるときの回路動作を説明する。論理回路部700に、上述した周期を持つクロックCK2が入力されると、アップカウンタ（CNT3）701とフリップ・フロップ（FF5）702がリセットされる。このとき、FF5（702）の反転出力端子からは、論理1の信号が出力され、CK端子から入力されたクロック信号は、AND回路707、704、およびOR回路706を介して、GCK端子へ入力される。この場合、本電源装置は、このクロックをもとに、上述した実施の形態1に係る電源装置と全く同じ動作をする。

【0064】カウンタ（CNT3）701がアップカウントを終了し（フルカウント状態）、その出力信号（B<sub>1</sub>～B<sub>4</sub>）が“1111（2進）”になると、次のクロック信号によって、FF5（702）が“1”にセットされ、出力Q=1となる。その結果、Qの反転出力は論理0となるので、AND回路707からは、クロック信号CKが出力されない。このことは、GCK端子へのクロック入力がない、つまり、電源回路へのクロック供給が断たれたことを意味している。

【0065】また、この場合、論理回路部750内のAND回路752、およびNAND回路751に対して、FF5（702）より論理0の信号が送られるため、スイッチング素子（FET）141、142の両方がオフ状態になる。よって、出力インダクタ151と出力コンデンサ152からなる平滑回路への電流供給はない。

【0066】しかし、このとき、本電源装置の負荷が、マイクロ・アンペア単位の消費電流で動作する状態（スリープ・モード）にあれば、平滑回路の出力コンデンサ152に蓄積された電荷が徐々に放電され、それによって、負荷に対して動作電流が供給される。なお、クロックCK2の周期は、スリープ・モード時における負荷電流と出力コンデンサ152の容量とから決まり、それらは、本電源装置の出力電圧値が、負荷回路の動作電圧の、例えば、5%以上の誤差を生じないように設定される。

【0067】一方、スタンバイ信号STBYが論理1のときは、本電源装置の負荷の状態が、上記のアクティブ・モードに対応している場合を指す。この場合、クロックCKは、論理回路部700のAND回路705、およびOR回路706を介して、連続してGCK端子へ入力される。よって、本電源装置は、通常の状態（上記実施の形態1に係る電源装置と同じ）で動作をする。

【0068】なお、ここでは、カウンタ（CNT3）701の出力ビット数を4ビットとしたが、スリープ・モード時における負荷電流に応じてビット数を変えてもよい。例えば、負荷電流が大きいほど、ビット数を増やしたり、あるいは、あらかじめ分かっている負荷パターン（負荷電流パターン）を、ステート・レジスタとしてのアップカウンタ（CNT3）701に格納し、そのパターンに合わせて、任意にビット数を設定できるようにしてもよい。

【0069】以上説明したように、本実施の形態によれば、負荷となる装置がスリープ・モードとアクティブ・モードを繰り返して動作する場合、そのスリープ・モード時に、電源供給段に位置するスイッチング素子を全てオフ状態にして、平滑回路への電流供給を止める制御を行うことで、これらのモードに同期した電源動作の切替えが可能となり、マイクロ・アンペア単位の消費電流時において大幅な電源効率の改善ができる。

【0070】なお、本発明は、上述した実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において、種々変形が可能である。例えば、上記の各実施の形態では、入力されたデジタル信号を処理する制御用論理回路等にデジタルのカウント回路を使用しているが、これらに代えて、マイクロプロセッサやデジタル信号処理装置（DSP）等を用いて所定の演算を実行し、等価的にデューティXX/AAのパルス波形（スイッチング波形）を生成するようにしてもよい。



## 【0071】

【発明の効果】以上説明したように、本発明によれば、入力電圧を所定の出力電圧に変換して負荷側へ供給する電源装置において、上記の入力電圧を監視する監視手段と、この監視結果をもとに第1の信号を出力する第1の信号生成手段と、上記出力電圧に関連する情報に応じて第2の信号を出力する第2の信号生成手段と、これら第1および第2の信号に基づく所定のデューティ比を有する第3の信号を生成する第3の信号生成手段と、この第3の信号を駆動信号として、上記入力電圧に対してスイッチング制御を施す手段とを備えることで、急激な出力電流の変化に追従でき、瞬間的に電圧不足に陥ることのない安定した電源を供給できる。

【0072】他の発明によれば、負荷の動作状態に対応する所定の値を格納するステート・レジスタを備え、この格納された値をもとに、クロック信号を切替え、あるいは間引いてスイッチング制御をオン/オフ制御することで、微少な消費電流時においても、大幅な電源効率の改善ができる。

【0073】さらに、本発明によれば、入力電圧を監視する監視手段と、この監視結果をもとに第1の信号を出力する第1の信号生成手段と、出力電圧に関連する情報に応じて第2の信号を出力する第2の信号生成手段と、これら第1および第2の信号に基づく所定のデューティ比を有する第3の信号を生成する第3の信号生成手段と、この第3の信号を駆動信号として、上記入力電圧に対してスイッチング制御を施す手段とを備えた電源装置を複数個、並列に接続し、それらの電源装置の内、第1の電源装置の監視手段および第1の信号生成手段を、これら並列接続した全ての電源装置で共有する構成をとる

ことで、小型化した電源装置が構成でき、各電源回路から異なる複数の出力電圧を容易に取り出すことが可能となる。

## 【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る電源装置の主要部の構成を示すブロック図である。

【図2】 本発明に係る電源装置の動作原理を説明するための図である。

【図3】 実施の形態1に係る電源装置の詳細な回路構成を示すブロック図である。

【図4】 図3に示す回路の主要部分の信号波形を示すタイミングチャートである。

【図5】 スwitchング素子(MOS-FET)へ供給される駆動波形、および電流波形を示す図である。

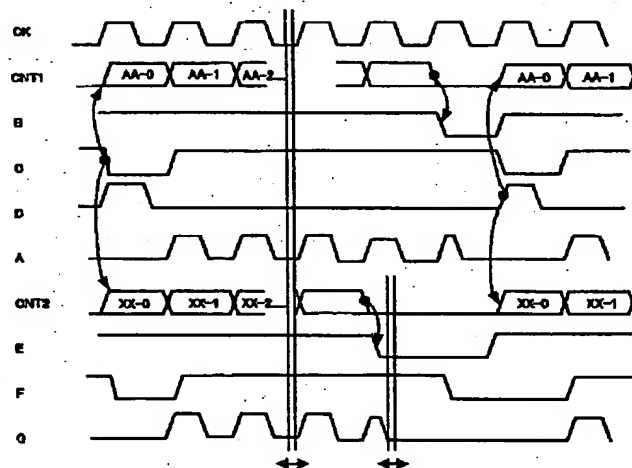
【図6】 実施の形態2に係る、複数の電圧を出力する電源装置の構成を示す図である。

【図7】 実施の形態3に係る電源装置の詳細な回路構成を示すブロック図である。

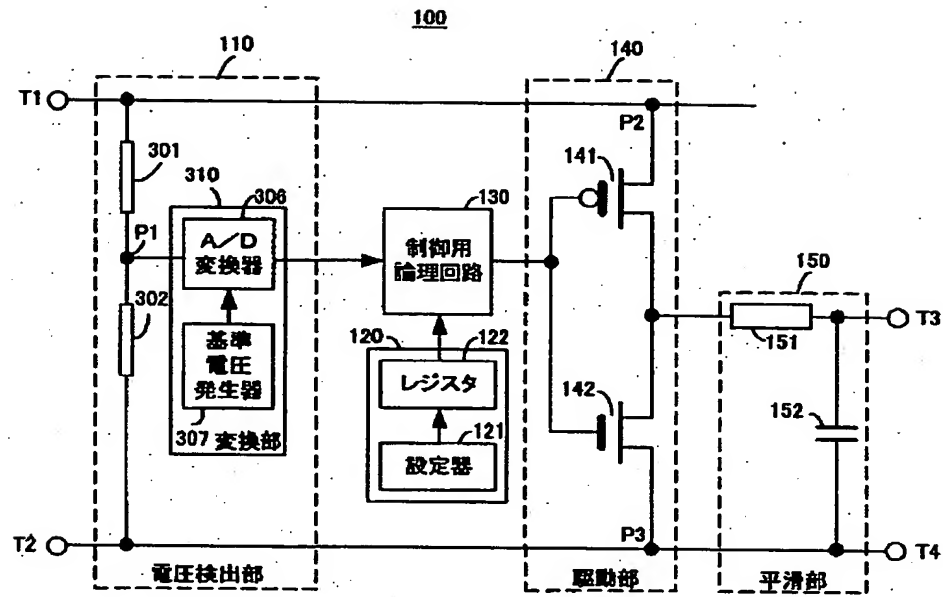
## 【符号の説明】

110…電圧検出部、120…電圧設定部、122…レジスタ、130…制御用論理回路、140…駆動部、141、142…スイッチング素子(電界効果トランジスタ(FET))、150…平滑部、151…平滑コイル(出力インダクタ)、152…出力コンデンサ、201…直流電源、202…直流電圧源、203…出力抵抗(内部抵抗)、204…コンデンサ、301、302…抵抗、306…A/D変換器、307…基準電圧発生器、310…変換部、351、352、701…カウンタ(CNT)、354、364、365、702…フリップ・フロップ、370…バッファ

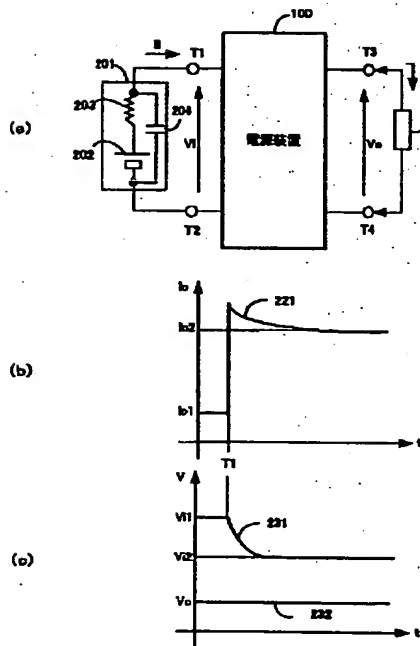
【図4】



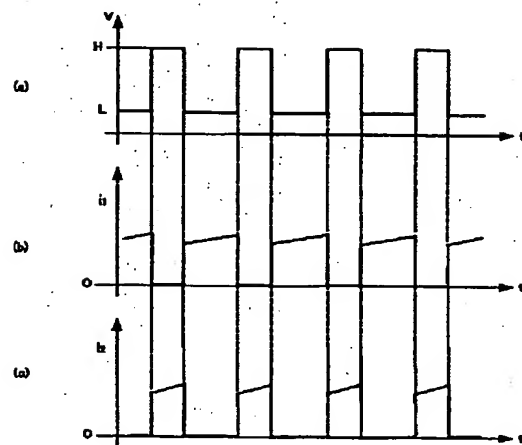
【図1】



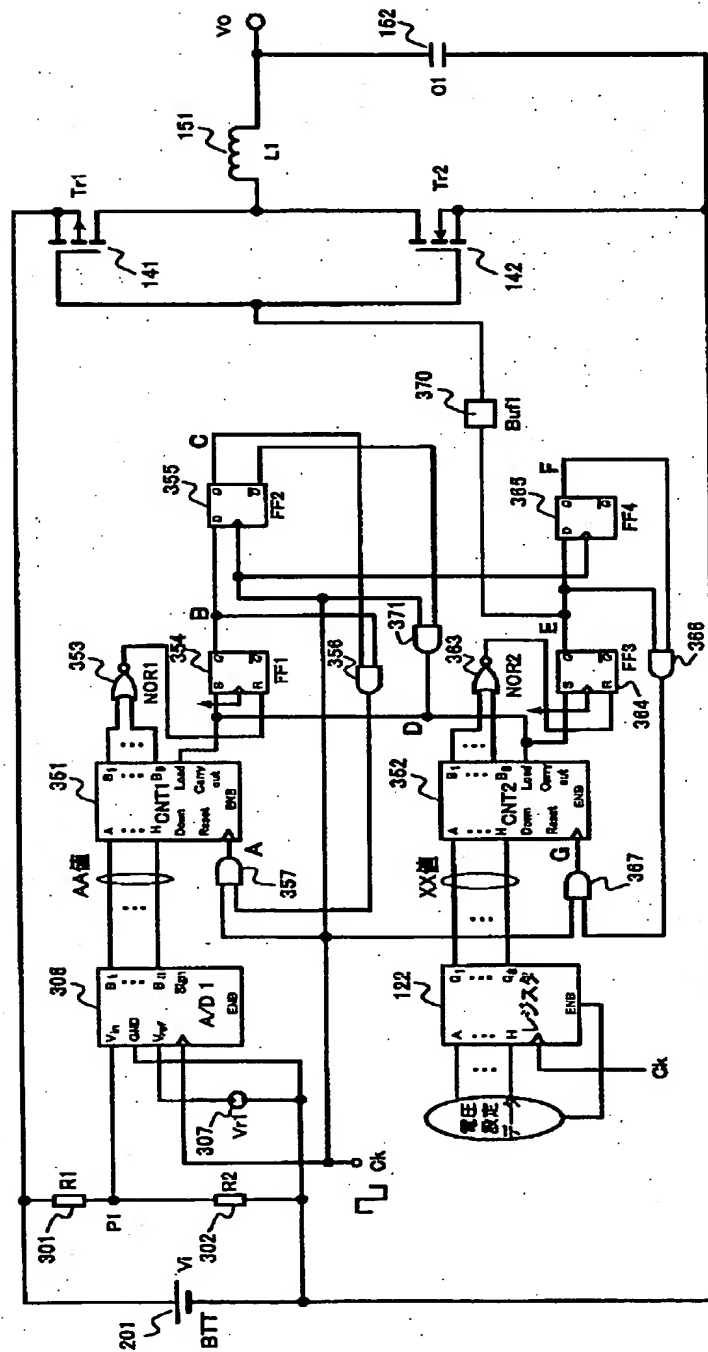
【図2】



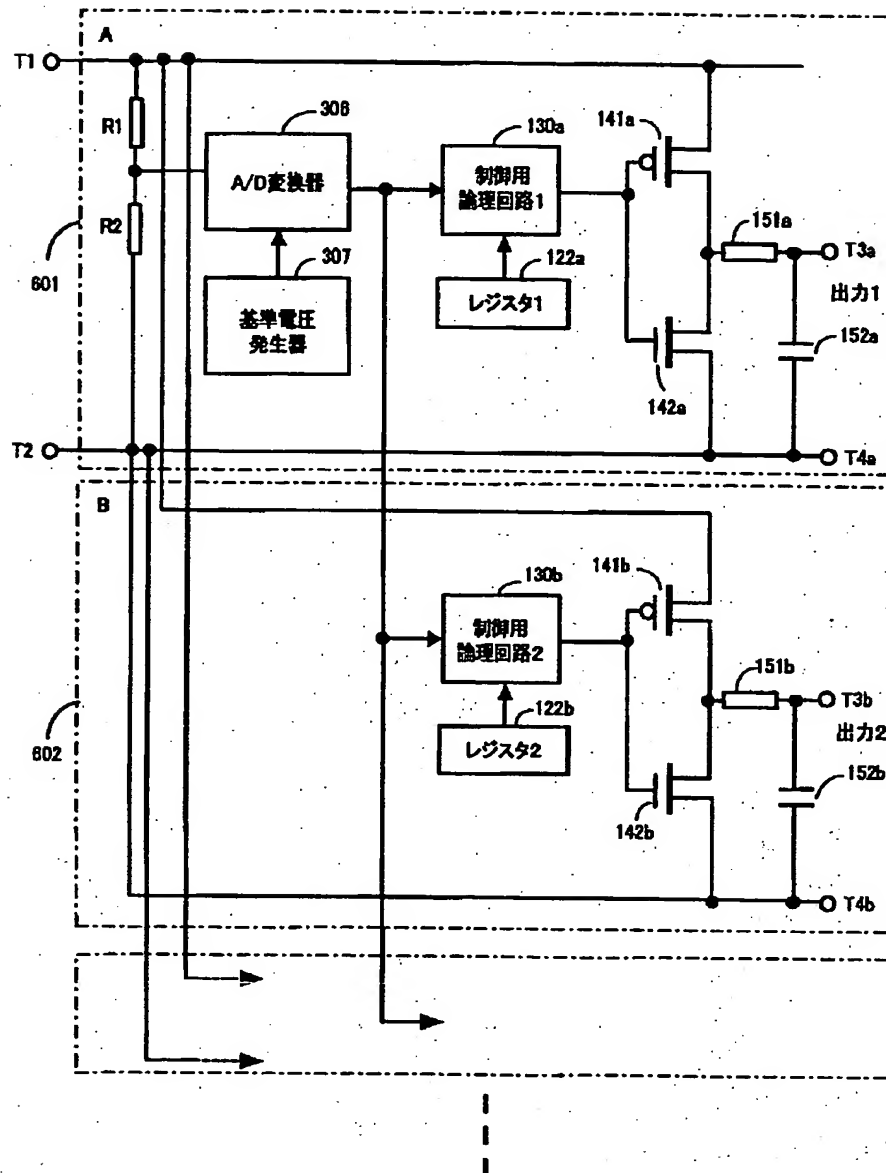
【図5】



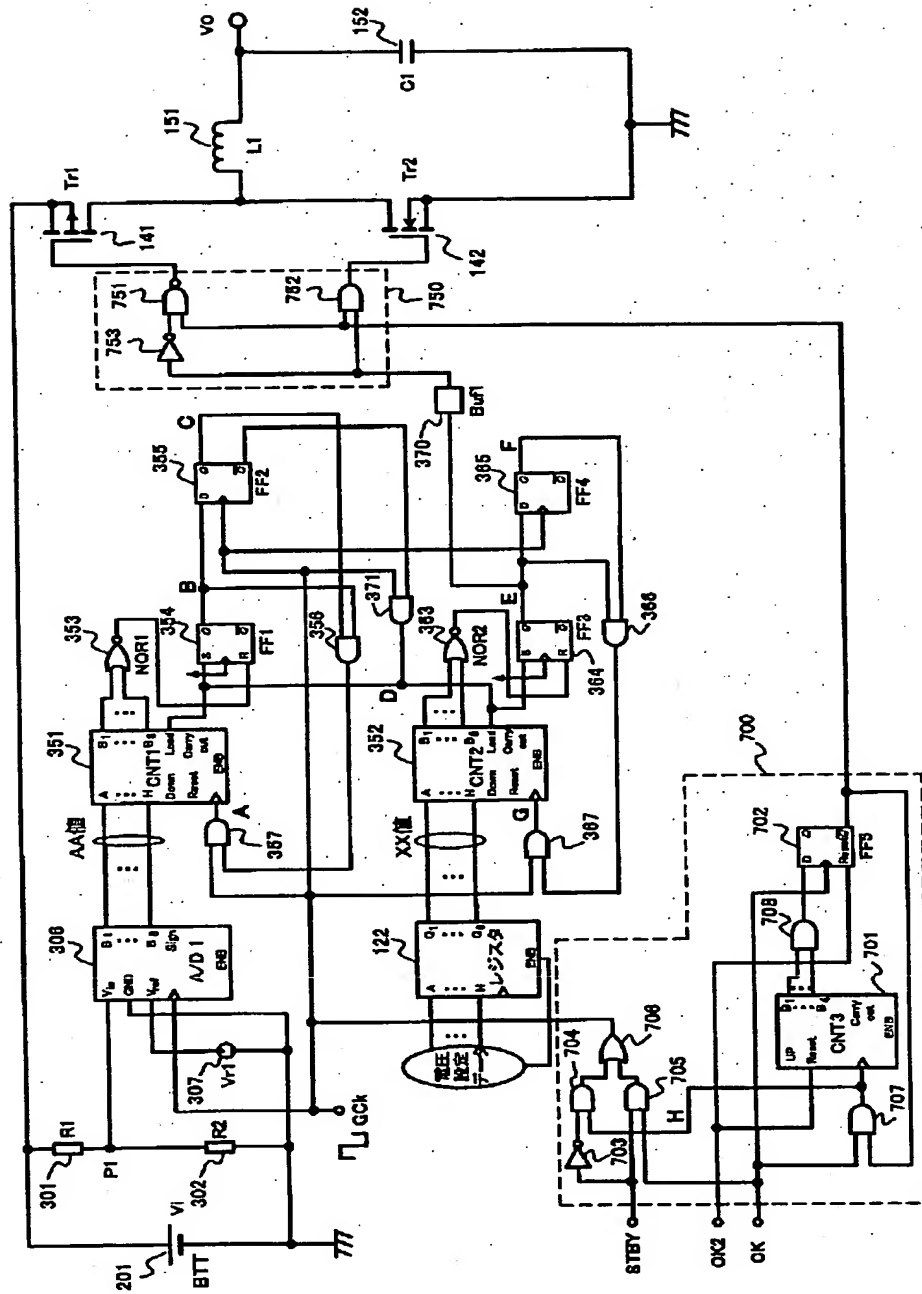
【図3】



【図6】



【図 7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**